

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-199873

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 05-353901

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 29.12.1993

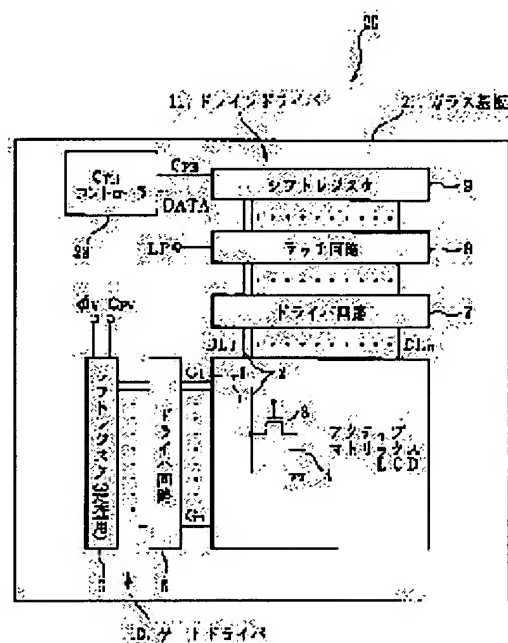
(72)Inventor : KANBARA MINORU

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To realize a liquid crystal display device capable of reducing a current consumption by without transferring data of the whole amount of a display area (the amount of the whole number of pixels) even when a character, etc., are relatively so large that they are displayed by almost the unit of $n \times n$ dots.

CONSTITUTION: In this liquid crystal display device 20, scanning lines G1 to Gn and data lines DL1 to DLn are arranged and TFT elements 3 as switching elements and pixel capacitors 4 are arranged at intersectings of these lines in a matrix shape on a glass substrate 21. Further, data lines DL1 to DLn are connected to a data side shift register 9 via a driver circuit 7 and a latch circuit 8 and also a data transfer clock CPH and data DATA are inputted to the data side shift register 9 from a controller 22 and the controller 22 performs a control outputting the data transfer clock CPH and data DATA so that data fetched in the latch circuit 8 are written in pixels of the amount of (n) lines and the data transferring operation of the shift register 9 are stopped in the period of (n-1) scanings.



LEGAL STATUS

[Date of request for examination] 20.06.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2759108

[Date of registration] 20.03.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-199873

(43) 公開日 平成7年(1995)8月4日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 5 0			

審査請求 未請求 請求項の数3 F D (全 6 頁)

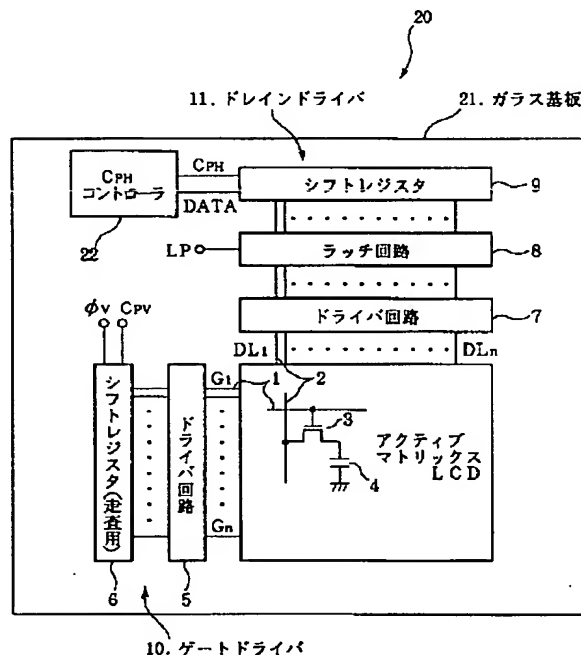
(21) 出願番号	特願平5-353901	(71) 出願人	000001443 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号
(22) 出願日	平成5年(1993)12月29日	(72) 発明者	神原 実 東京都八王子市石川町2951番地5 カシオ 計算機株式会社八王子研究所内

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 $n \times n$ ドットを単位程度で表示するような比較的大きな文字等でも表示エリア全体分(全画素数分)のデータを転送することなく低消費電流化を図ることができる液晶表示装置を実現する。

【構成】 液晶表示装置20は、ガラス基板21上に、走査ライン $G_1 \sim G_n$ と、データライン $DL_1 \sim DL_n$ 、それら各交点にスイッチング素子としてのTFT素子3と画素容量4とをマトリックス状に配置し、データライン $DL_1 \sim DL_n$ は、ドライバ回路7及びラッチ回路8を介してデータ側シフトレジスタ9に接続するとともに、データ側シフトレジスタ9には、コントローラ22からデータ転送クロックC_{PH}及びデータDATAが入力され、コントローラ22は、ラッチ回路8に取り込んだデータを n ライン分の画素に書き込み、 $(n-1)$ 走査期間中はシフトレジスタ9のデータ転送動作をストップさせるようにデータ転送クロックC_{PH}及びデータDATAを出力する制御を行なうようにする。



【特許請求の範囲】

【請求項 1】 基板上に形成された走査ラインとデータラインの各交点に画素電極をマトリックス状に配置した液晶表示装置において、

画像データを一時的に保持するラッチ回路と、
前記ラッチ回路に保持された画像データを複数ラインに書き込むように制御する制御手段と、
を具備したことを特徴とする液晶表示装置。

【請求項 2】 基板上に形成された走査ラインとデータラインの各交点に画素電極をマトリックス状に配置した液晶表示装置において、
10 入力された画像データをデータ転送クロックによりシフトして出力するシフトレジスタと、
前記シフトレジスタから出力された画像データを一時的に保持するラッチ回路と、
前記ラッチ回路に取り込んだ画像データを n ライン分の画素に書き込み、 $(n-1)$ 走査期間中は前記シフトレジスタのデータ転送動作を停止させるように制御する制御手段と、
20 を具備したことを特徴とする液晶表示装置。

【請求項 3】 前記制御手段は、1 ライン分のデータ転送が終了後、 $(n-1)$ 走査期間中は前記シフトレジスタのデータ転送動作を停止させ、 $(n-1)$ 走査期間後中もゲートラインの走査を行なうようにして n ラインに同一データを書き込むように制御することを特徴とする請求項 2 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶プロジェクタ、液晶テレビ等に用いられる液晶表示装置に係り、詳細には、アクティブマトリックスパネルを用いた液晶表示装置に関する。

【0002】

【従来の技術】アクティブマトリクス型表示 (active matrix display) 方式では、各画素に非線形能動素子を配置することによって余分な信号の干渉を排除し、高画質を実現することができる。

【0003】従来、表示装置、特に、液晶表示パネルを用いた表示装置は、図 3 にアクティブマトリックス LCD パネル駆動回路部の回路構成を示すように、 m 行 n 列に配列された走査ライン 1 とデータライン 2 の各交点に

スイッチング素子 3 と画素容量 4 とをマトリックス状 (図 3 では代表的に 1 組のみ図示する。) に配置し、各走査ライン 1 をドライバ回路 5 を介して走査側シフトレジスタ 6 に、各データライン 2 をドライバ回路 7 及びラッチ回路 8 を介してデータ側シフトレジスタ 9 に、それぞれ接続している。

【0004】このアクティブマトリクス表示方式では、片方の電極基板の内向面にマトリクス電極と、複数の画素容量 (画素電極) 4 と、この画素容量 4 毎にスイッチ

ング素子として、例えば TFT (thin film transistor) 素子を配置して、スイッチング素子をマトリクス駆動し、スイッチング素子 3 を介してそれぞれの画素容量 4 をスイッチする。上記ドライバ回路 5 及びシフトレジスタ 6 は、ゲートドライバ 9 を構成し、ドライバ回路 7、ラッチ回路 8 及びシフトレジスタ 9 は、ドレインドライバ 11 を構成する。

【0005】シフトレジスタ 6 には、垂直同期信号 ϕV 及びデータ転送クロックとなる垂直用クロック信号 CK が入力され、シフトレジスタ 6 は、ドライバ回路 5 を介して各走査ライン 1 に順次走査信号を出力し、この走査信号は、1 水平走査期間 ($63.5 \mu s$)、すなわち 1 H 期間で、順次ハイレベルになることにより、各走査ライン 1 に接続されているスイッチング素子 3 をオンさせて、当該走査ライン 1 に接続されている画素を順次選択駆動する。

【0006】また、シフトレジスタ 9 には、データ転送クロック (水平用クロック信号) CPH 及びデータ DATA が入力され、シフトレジスタ 9 は、データ転送クロック CPH によりデータ DATA をシフトしてラッチ回路 8

に出力する。
【0007】ラッチ回路 8 は、ラッチ信号 LP によりシフトレジスタ 9 からの出力データを取り込んでラッチする。

【0008】ドライバ回路 7 は、ラッチ回路 8 によりラッチされた表示データを増幅してデータライン 2 に供給し、当該データライン 2 を充電する。そして、この表示信号は、そのとき選択されている走査ライン 1 に接続されているスイッチング素子 3 を介して、当該走査ライン 1 に接続されている画素容量 4 に印加される。

【0009】上記アクティブマトリックス LCD パネル駆動回路部は、図 4 に示すタイミングで駆動される。

【0010】図 4 に示すように、ドレインドライバ 11 は、1 ライン分のデータ転送をシフトレジスタ 9 によってデータ転送クロック CPH で行ない、このシフトレジスタ 9 出力をラッチ回路 8 に出力する。一旦、ラッチ回路 8 にラッチ信号 LP によりデータを取り込んでから、ドライバ回路 7 を介してアクティブマトリックス LCD 部に表示信号を供給する。

【0011】

【発明が解決しようとする課題】したがって、このような従来の表示装置にあっては、図 4 に示すように表示データが各走査期間中、常にシフトレジスタ 9 内で転送し続けることになるため、 $n \times n$ ドットを単位とするような比較的大きな文字等では、表示エリア全体分 (全画素数分) のデータを LCD に供給する必要がある、消費電流が大きいという問題点があった。例えば、縦 4 倍横 4 倍の倍角表示例を図 5 の A1 ~ A4 に示すように、縦 4 倍横 4 倍の倍角表示では $4 \times 4 = 16$ ドット全てが同一表示となり、このような大きな文字等では、表示エリア

全体分（全画素数分）のデータをLCDに供給する必要があるため、消費電流が大きくなってしまふことになる。

【0012】そこで本発明は、 $n \times n$ ドットを単位程度で表示するような比較的大きな文字等でも表示エリア全体分（全画素数分）のデータを転送することなく低消費電流化を図ることができる液晶表示装置を提供することを目的としている。

【0013】

【課題を解決するための手段】請求項1記載の発明は、上記目的達成のため、基板上に形成された走査ラインとデータラインの各交点に画素電極をマトリックス状に配置した液晶表示装置において、画像データを一時的に保持するラッチ回路と、前記ラッチ回路に保持された画像データを複数ラインに書き込むように制御するようにしている。

【0014】請求項2記載の発明は、基板上に形成された走査ラインとデータラインの各交点に画素電極をマトリックス状に配置した液晶表示装置において、入力された画像データをデータ転送クロックによりシフトして出力するシフトレジスタと、前記シフトレジスタから出力された画像データを一時的に保持するラッチ回路と、前記ラッチ回路に取り込んだ画像データを n ライン分の画素に書き込み、 $(n-1)$ 走査期間中は前記シフトレジスタのデータ転送動作を停止させるように制御する制御手段とを備えている。

【0015】前記制御手段は、例えば請求項3に記載されているように、1ライン分のデータ転送が終えた後、 $(n-1)$ 走査期間中は前記シフトレジスタのデータ転送動作を停止させ、 $(n-1)$ 走査期間後中もゲートラインの走査を行なうようにして n ラインに同一データを書き込むように制御するものであってもよい。

【0016】

【作用】請求項1、2及び3の発明では、制御手段によりラッチ回路に取り込んだ画像データが n ライン分の画素に書き込まれ、 $(n-1)$ 走査期間中はシフトレジスタのデータ転送動作が停止され、 $(n-1)$ 走査期間後中もゲートラインの走査が行なわれる。

【0017】したがって、 n ラインに同一データを書き込まれるようになり、 $n \times n$ ドットを単位程度で表示するような比較的大きな文字等でも表示エリア全体分（全画素数分）のデータを転送することなく低消費電流化が図られる。

【0018】

【実施例】以下、本発明を図面に基いて説明する。

【0019】図1及び図2は、本発明に係る液晶表示装置の一実施例を示す図であり、本実施例は、アクティブマトリックスパネルを用いた液晶表示装置に適用したものである。

【0020】図1は、本発明の液晶表示装置を適用した

液晶表示装置20の回路図であり、図3に示した液晶表示装置と同一構成部には同一符号を付している。

【0021】図1において、液晶表示装置20は、ガラス基板21上に m 行 n 列に配列された走査ライン1とデータライン2の各交点にスイッチング素子3と画素容量4とをマトリックス状（代表的に1組のみ図示する。）に配置し、各走査ライン1をドライバ回路5を介して走査側シフトレジスタ6に、各データライン2をドライバ回路7及びラッチ回路8を介してデータ側シフトレジスタ9に、それぞれ接続している。

【0022】このアクティブマトリクス表示方式では、片方の電極基板の内向面にマトリクス電極と、複数の画素容量（画素電極）4と、この画素容量4毎にスイッチング素子として、例えばTFT（thin film transistor）素子を配置して、スイッチング素子3をマトリクス駆動し、スイッチング素子3を介してそれぞれの画素容量4をスイッチする。上記ドライバ回路5及びシフトレジスタ6は、ゲートドライバ9を構成し、ドライバ回路7、ラッチ回路8及びシフトレジスタ9は、ドレインドライバ11を構成する。

【0023】各TFT素子3は、そのゲートがそれぞれ対応する走査ライン $G1 \sim Gn$ に接続されており、そのドレインがそれぞれ対応するデータライン $DL1 \sim DLn$ に接続されている。また、各TFT素子3は、そのソースに画素容量4がそれぞれ接続されており、画素容量4の他方の電極には、基準電圧の供給されるコモンライン（図示せず。）が接続されている。

【0024】上記走査ライン $G1 \sim Gn$ は、ドライバ回路5を介してガラス基板21上に形成された走査用シフトレジスタ6の各出力端子に接続されており、走査用ラインシフトレジスタ6には、図外の制御回路から走査シフトクロック信号 CPV と走査側駆動信号 ϕV が入力される。走査用ラインシフトレジスタ6は、この走査シフトクロック信号 CPV 及び走査側駆動信号 ϕV に応じて各走査ラインに順次所定の走査信号 $G1 \sim Gn$ を供給する。また、ドライバ回路5は、例えばバッファにより構成され、図外の制御回路からの出力制御信号により制御される。上記ドライバ回路5及び走査用シフトレジスタ6は、ゲートラインドライバ10を構成する。

【0025】上記各データライン $DL1 \sim DLn$ は、ドライバ回路7及びラッチ回路8を介して上記ガラス基板21上に形成されたデータ側シフトレジスタ9に接続されている。

【0026】データ側シフトレジスタ9には、コントローラ22からデータ転送クロック CPH 及びデータDATAが入力され、シフトレジスタ9は、データ転送クロック CPH によりデータDATAをシフトしてラッチ回路8に出力する。

【0027】コントローラ22は、ラッチ回路8に取り込んだデータを n ライン分の画素に書き込み、 $(n-$

1) 走査期間中はシフトレジスタ9のデータ転送動作をストップさせるようにデータ転送クロックCPH及びデータDATAを出力する制御を行なう。

【0028】ラッチ回路8は、ラッチ信号LPによりシフトレジスタ9からの出力データを取り込んでラッチする。

【0029】ドライバ回路7は、ラッチ回路8によりラッチされた表示データを増幅してデータライン2に供給し、当該データライン2を充電する。そして、この表示信号は、そのとき選択されている走査ライン1に接続されているスイッチング素子3を介して、当該走査ライン1に接続されている画素容量4に印加される。

【0030】次に、本実施例の動作を説明する。

【0031】図2は液晶表示装置20のドレインドライバ11のタイミングチャートである。

【0032】図2に示すように、コントローラ22からのデータ転送クロックCPH及びデータDATAの出力によりドレインドライバ11は以下のように制御される。

【0033】図2に示すように、1ライン分のデータ転送が終了後、ラッチ信号LPとデータ転送クロックCPHをローレベルに保つ。

【0034】その後、(n-1)走査期間後中も、ゲートラインの走査を行なうようにすればnラインに同じデータを書き込むことができる。

【0035】すなわち、ラッチ回路8に取り込んだデータをnライン分の画素に書き込み、(n-1)走査期間中はシフトレジスタ9のデータ転送動作をストップさせるように制御する。

【0036】そして、ラッチ回路8にデータを取り込んでから、ドライバ回路7を介してアクティブマトリクスLCD部に表示信号を供給する。

【0037】これにより、 $n \times n$ ドットを単位とするような大きな文字等は、 $1/n$ のデータで表示が可能であり、データ転送動作は、従来例の $1/n$ の期間となる。これは、シフトレジスタ9やラッチ回路8で消費する電力が $1/n$ になることを意味する。

【0038】また、上記 $n \times n$ ドットを単位とするような倍角表示に限らず、粗表示のみの表示装置にも適用可能である。この場合、粗表示と微細表示に同じドライバを用いることができ、コストアップを避けつつ低消費電力化を図ることができる。

【0039】以上説明したように、本実施例の液晶表示装置20は、ガラス基板21上に、走査ラインG1~Gnと、データラインDL1~DLn、それら各交点にスイッチング素子としてのTFT素子3と画素容量4とをマトリクス状に配置し、データラインDL1~DLnは、ドライバ回路7及びラッチ回路8を介してデータ側シフトレジスタ9に接続するとともに、データ側シフトレジスタ9には、コントローラ22からデータ転送クロックCPH及びデータDATAが入力され、コントローラ

22は、ラッチ回路8に取り込んだデータをnライン分の画素に書き込み、(n-1)走査期間中はシフトレジスタ9のデータ転送動作をストップさせるようにデータ転送クロックCPH及びデータDATAを出力する制御を行なうようにしているので、 $n \times n$ ドットを単位程度で表示するような比較的大きな文字等でも表示エリア全体分(全画素数分)のデータを転送することなく、消費電力を $1/n$ 程度まで下げることができる。

【0040】この液晶表示装置20を、時計用のLCDパネルに応用した場合には、時計表示の時は大きな文字でよいことから液晶表示装置20を低消費電力モードとして用いることができる。

【0041】なお、本実施例では、ラッチ回路8に取り込んだデータをnライン分の画素に書き込み、(n-1)走査期間中はシフトレジスタ9のデータ転送動作をストップさせるようにしているが、ラッチ回路に保持された画像データを複数ラインに書き込むように制御するものであればどのような構成及びタイミングでもよいことは言うまでもない。

【0042】また、本実施例は液晶表示装置をTFTアクティブマトリクスに適用しているが、これに限定されるものではなく、液晶パネルの種類や枚数、配置等は任意であり、例えばMIM(Metal Insulator Metal)ダイオードを用いたアクティブマトリクス駆動のLCDについても同様に変更可能であることは勿論である。

【0043】さらに、液晶表示装置を構成する回路やマトリクス、ゲート数、その種類などは前述した実施例に限られないことは言うまでもない。

【0044】

【発明の効果】請求項1及び2の発明によれば、ラッチ回路に保持された画像データを複数ラインに書き込むように制御しているので、 $n \times n$ ドットを単位程度で表示するような比較的大きな文字等でも表示エリア全体分(全画素数分)のデータを転送することなく低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の一実施例の回路構成図である。

【図2】同実施例の液晶表示装置の走査時のタイミングチャートである。

【図3】従来の液晶表示装置の回路構成図である。

【図4】従来の液晶表示装置の走査時のタイミングチャートである。

【図5】従来の液晶表示装置の縦4倍横4倍の倍角表示例を示す図である。

【符号の説明】

1 走査ライン

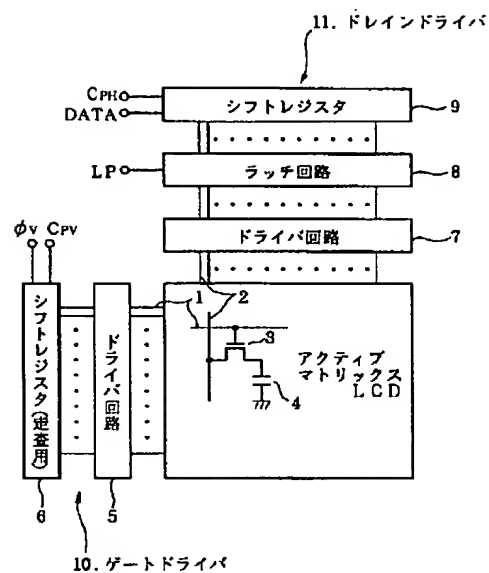
2 データライン

3 TFT素子

4 画素容量

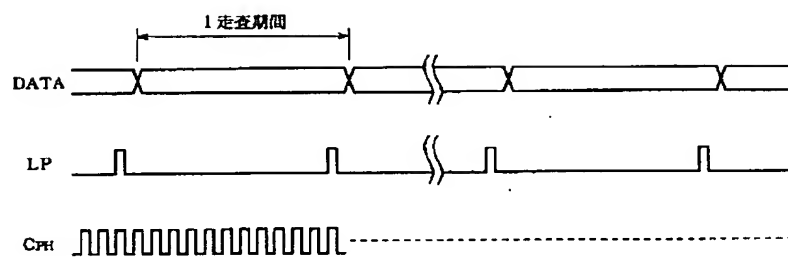
* 1 1	ドレインドライバ
2 0	液晶表示装置
2 1	ガラス基板
* 2 2	コントローラ

【図3】



LP : ラッチ信号
CPH : データ転送クロック

【図4】



LP : ラッチ信号
CPH : データ転送クロック

【図5】

